

CRYSTALLINE SEMICONDUCTOR FILM AND FORMATION THEREOF

Patent Number: JP2260524
Publication date: 1990-10-23
Inventor(s): YONEHARA TAKAO
Applicant(s):: CANON INC
Requested Patent: ☐ JP2260524

Application Number: ~~JP19890081697-19890331~~

Priority Number(s):

IPC Classification: H01L21/20 ; H01L21/324 ; H01L21/84

EC Classification:

Equivalents:

Abstract

PURPOSE: To achieve crystal growth with solid phase by providing an additional region, where a substance whose melting point is lower than that of a semiconductor is added, on the film of an amorphous semiconductor film and then performing heat treatment at a temperature below the melting point of the semiconductor.

CONSTITUTION: Sn is added to a specified part locally within an amorphous Si 2 which is formed on an SiO₂ substrate 1 and then an Sn-containing amorphous Si 3 is crystallized to inducing occurrence of nucleus by performing heat treatment at a temperature where the amorphous Si containing Sn is crystallized. Since the crystallization temperature at other amorphous Si region is much higher than that of the impurities addition region, no nucleus occurs within the inside. Furthermore, heat treatment is allowed to continue, a nucleus whose position is controlled continues to grow and crystallization advances into the amorphous Si region. After that, when heat treatment further continues, a grain boundary 5 occurs nearly at the middle point where nuclei are generated due to collision of crystal grains 4, 4' whose position is controlled. Thus, the grain boundary position of a single crystal semiconductor film or single crystal is controlled, thus forming the crystalline semiconductor film.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-260524

⑬ Int.Cl.³

H 01 L 21/20
21/324
21/84

識別記号

庁内整理番号

7739-5F

7739-5F

⑭ 公開 平成2年(1990)10月23日

審査請求 未請求 請求項の数 6 (全6頁)

⑮ 発明の名称 結晶性半導体膜及びその形成方法

⑯ 特 願 平1-81697

⑰ 出 願 平1(1989)3月31日

⑱ 発 明 者 米 原 隆 夫

東京都大田区下丸子3丁目30番2号 キャノン株式会社内

⑲ 出 願 人 キャノン株式会社

東京都大田区下丸子3丁目30番2号

⑳ 代 理 人 弁理士 山下 穰平

明細書の淨旨(内容に変更なし)

明 細 書

1. 発明の名称

結晶性半導体膜及びその形成方法

2. 特許請求の範囲

1. 非晶質半導体の膜に、該半導体より融点の低い物質を添加した添加領域を設けた後、該半導体の融点未満の温度で加熱処理することにより固相で結晶成長させることを特徴とする結晶性半導体膜の形成方法。

2. 前記添加領域は、単一の核から結晶成長するに充分小さい領域である請求項1記載の結晶性半導体膜の形成方法。

3. 添加領域を規則的に複数設けることによる請求項1、2記載の結晶性半導体膜の形成方法。

4. 加熱処理の温度は、前記添加領域に発生した核を起点として結晶成長し得るが、非添加領域に核を発生し得ない温度である請求項1～3記載の結晶性半導体膜の形成方法。

5. 非晶質半導体がシリコン(Si)であり、該

半導体より融点の低い物質がスズ(Sn)である請求項1～4記載の結晶性半導体膜の形成方法。

6. 請求項1～5の方法により得られた結晶性半導体膜。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は結晶性半導体膜の形成方法に関し、詳しくは単結晶半導体膜或いは単結晶が粒界位置制御されて配列している結晶性半導体膜に関する。

〔従来の技術〕

異種基板上にSi薄膜を成長させるとき基板が単結晶の場合上層のSiはヘテロエピタキシャル成長して単結晶構造をとる。例えばサファイヤ基板上にはSiはエピタキシャル成長することは良く知られている。

基板が非晶質の場合、上層の構造は非晶質か良く多結晶となる。多結晶薄膜の粒径拡大法としては熔融再結晶化法が報告されている。

又、更に進んだ考えとして、核形成位置を制御することによって、所望の位置に、所望の大きさ

の単結晶を形成しようとする技術或いは所定の位置に粒界位置を規定する技術として、選択核形成法が報告されている(米原隆夫、西垣有二、水谷英正、応用物理 vol.57 NO.9, p.1387, 1988)。

【発明が解決しようとしている課題】

報告されている選択核形成法は、単一核が発生する程十分に微細に人工核形成サイト Si_3N_4 を非核形成表面 SiO_2 に配した基板上に化学気相法によって Si を堆積する。すると、 Si の単一単結晶核が該人工核形成サイト上に形成され、やがて、人工核形成サイトの中間点に粒界が形成される。発生した核の表面、及び連続となった膜表面には、結晶成長速度の特異におそい面がファセットとして形成されかなりの凹凸が形成され、素子化する際には、ラッピングとポリシュニング(研磨法)によって表面を平坦にする必要がある。

一般の研磨法は、 $1\mu\text{m}$ 以下の膜厚を残して大面積を均一に研磨することは、容易ではなく、工程が増加するという点に於いて、生産性にも問題

(York p293, 1988))。しかしながら、非晶質 Si 中の核形成はランダムな位置に発生し、核の成長の後に結晶粒同士が衝突して粒界が生ずるが、その粒界位も当然のことながらランダムな位置となり制御できるものではない。ひいては、 Si^+ 注入を行い多結晶 Si 膜を非晶質化したのち 600°C 程度の熱処理を行うと最大 $5\mu\text{m}$ もの大粒径の多結晶膜が得られるが、その粒径分布は広く $1\mu\text{m}\sim 5\mu\text{m}$ に分布しており、素子作製上この分布は素子特性のバラツキとなって表出することになり実用上、多大の困難となる。

本発明はこの粒径分布を低減させるために、固相中で核発生位置を制御し、その結果、粒界位置を規定しようというものである。

以下、本発明を詳細に説明する。

まず、非晶質半導体の膜の表面或いは内部に、該半導体より融点の低い物質を添加し添加領域を設ける。非晶質半導体と該半導体より融点の低い物質の組合わせとしては、シリコン(Si)とスズ(Sn)が、 Sn が Si の中性不純物(半導体膜のパン

がある。

従って、本発明の目的は、単結晶半導体膜或いは単結晶が粒界位置制御されて配列している結晶性半導体膜の形成方法を提供することにある。本発明の他の目的は、膜の表面が平坦で研磨等の工程を要しない結晶性半導体膜の形成方法を提供することにある。

【課題を解決するための手段】

本発明に従って、非晶質半導体の膜に、該半導体より融点の低い物質を添加した添加領域を設けた後、該半導体の融点未満の温度で加熱処理することにより固相で結晶成長させることを特徴とする結晶性半導体膜の形成方法、及び该方法により得られた結晶性半導体膜が提供される。

非晶質 Si を固相で成長させ数 μm もの大粒径の多結晶膜を得る技術は既に知られている(T.Noguchi, T.Oshima and H.Hayashi, Polysilicon and Interfaces, Boston 1987, Materials Research Society Symposium Proceeding vol.106 (Elsevier Science Publishing, New

ドギャップ中に不純物レベルを作らない物質)であるので好ましく用いられる。

添加領域は単一の核から結晶成長するに充分小さい領域であることが粒界位置制御のために好ましい。

次に、非晶質半導体の融点未満の温度で加熱処理する。この加熱処理により固相で結晶成長し結晶性半導体膜が形成される。これは前記添加領域では非添加領域に比べ結晶化開始温度が低いという新しい知見に基いて固相中の核発生位置を制御するものである。加熱処理の温度は、添加領域に発生した核を起点として結晶成長し得るが、非添加領域に核を発生し得ない温度であることが粒界位置制御のために好ましい。

非晶質 Si と Sn を用いた場合、第1図に示す様に、 SiO_2 基体1上に形成された非晶質 Si (2)の内部に Sn を局所的に指定された部位に添加し(第1図(a))、その後 Sn 含有非晶質 Si が結晶化する温度で加熱処理することによって、 Sn 含有非晶質 Si (添加領域)3のみが結晶化し、核発生を起

こす。他の非晶質Si領域（無添加領域）はその結晶化温度が不純物添加領域より充分に高いため、その中の核発生は皆無となる。更に加熱処理を継続させると、位置制御された核は成長をつづけ、非晶質Si領域まで結晶化が進行する（第1図（b））。これは、一度、核形成した結晶相への非晶質Si相からの相転移は、非晶質相中の核形成に必要な活性化エネルギーより低いエネルギーで起こるためである。その後、更に熱処理を続けると位置制御された結晶粒4、4' 衝突により核発生位置の中間に粒界5が生じる（第1図（c））。

【実施例】

以下、本発明を実施例により説明する。

実施例1

SiO₂（熱酸化Si或はガラス）基板1上に、減圧CVD法で620℃にて多結晶Siを1000Å堆積する。更にSiイオンを $5 \times 10^{11} \text{ cm}^{-2}$ のドーズ量で全面に加速エネルギー70keVで注入し、多結晶Si層を非晶質Si（2）に変質させる。

注入し、格子点状に一边が1μmの正方形のSn添加領域を形成した。レジストを除去した後、N₂中550℃、100時間熱処理した後、透過電子顕微鏡で結晶構造を調べた結果、粒界はSn注入領域の中間に格子状に形成され粒径は各々10μm±1μm、20μm±2μm、30μm±3μmとなっていた。

実施例3

第2図に示す様にSiO₂基板1上にSnを100Å真空蒸着で形成しフォトリソグラフィーを用いて一边が1μmの正方形のSn薄膜7を10μm、20μm、30μm間隔で形成した（第2図（a））。

更にその上部へプラズマCVD法で100℃にて非晶質Si層2を1000Å堆積し、N₂中で550℃の熱処理を100時間行ないSi結晶4を成長させた（第2図（b）、（c））。

透過電子顕微鏡で結晶構造を調べた結果、Si結晶5の粒界6はSn領域の中間に位置し、粒径は各々10μm±1μm、20μm±2μm、30

μm±3μmとなっていた。Snの不純物の局所的添加は、集束イオンビーム注入によってマスクレスによって行った。条件は0.1μm径のSn⁺⁺ビームを $1 \times 10^{11} \text{ cm}^{-2}$ のドーズ量で加速エネルギー50keVで10μm、20μm、30μm間隔に格子点状に注入し注入部3を設けた（第1図（a））。

その後、N₂中で550℃、100時間の加熱処理を行ないSi結晶4を成長させたところ、途中の段階で無添加非晶質Si中には核発生が皆無のため、Sn注入領域を中心に結晶領域5が約10μm広がり、注入点の中間に粒界6が形成された（第1図（b）、（c））。粒径の分布は各々、10μm±1μm、20μm±2μm、30μm±3μmの範囲にあることが、透過電子顕微鏡によって確認された。

実施例2

SiO₂上に減圧CVD法で550℃で非晶質Siを1000Å堆積した後、レジストをマスクに用いてSnを一边が1μmの正方形、10μm、20μm、30μm間隔 $1 \times 10^{11} \text{ cm}^{-2}$ 、50keVで

μm±3μmとなっていた。Snの融点は232℃のため、熱処理中（550℃）に融解し、Si中へ拡散していた。

実施例4

第3図に示す様に、SiO₂基板1上に減圧CVD法で多結晶Siを620℃で1000Å堆積した後Siイオンを $5 \times 10^{11} \text{ cm}^{-2}$ のドーズ量で全面に70keVで注入し、多結晶Si層を非晶質Si2に変質させる。その上部へSnを100Å真空蒸着（室温）で形成し、フォトリソグラフィーを用いて一边が1μmの正方形のSn領域7を10μm、20μm、30μm間隔で形成した後、N₂中、550℃100時間の加熱処理を行ないSi結晶4を成長させた。欠陥顕在化エッチングを施した後走査電子顕微鏡で結晶構造を調べた結果、得られたSi結晶5の粒界6はSn領域の中間に位置し、格子状に形成され、粒径は、各々、Sn領域の間隔に応じて10μm±1μm、20μm±2μm、30μm±3μmとなっていた。

【発明の効果】

以上説明した様に、Snを局所的に添加し核発生地点を人工的に制御することによって素子作製上障害となる粒界の位置を規定することができ、素子作製の際、それらを回避することさえ可能となる。

又、本発明は従来の固相成長で多結晶薄膜を成長させる際、素子のバラツキの主要因たる粒径の分布を減少させることも大きな効果である。更に又、従来ではおおよそ5 μ m程度の最大粒径が固相成長では得られていたが、本発明により核発生地点を人工的に任意の距離に設計することが可能となり10 μ m以上の大粒径化をも可能とする。

更に加えるに固相成長である故に、即ち非晶質層をあらかじめ堆積した後、結晶相遷移のみ、転換するものであるため相遷移の前後には、その形状には、何ら変化をまねかない。換言するに、極めて薄い($\leq 1.000\text{\AA}$)層を平坦に均一性良く成長させる技術としてその効果を発揮するものである。

これは、極薄膜の電子素子を作製する場合には不可欠の条件である。

4. 図面の簡単な説明

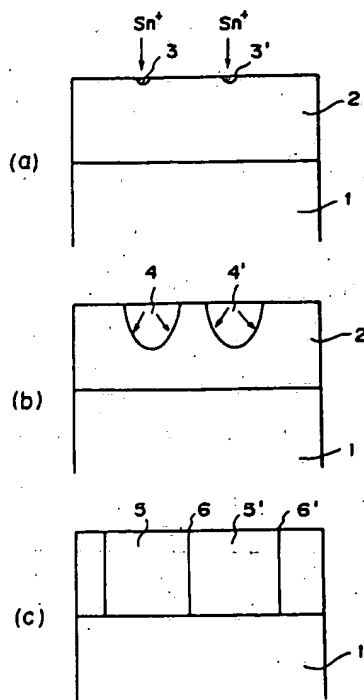
第1図は本発明の形成方法の実施例1を示す形成工程図、第2図は本発明の形成方法の実施例3を示す形成工程図、第3図は本発明の形成方法の実施例4を示す形成工程図である。

- 1 ... SiO₂基体
- 2 ... 非晶質Si
- 3 ... Sn注入部
- 4 ... 成長過程のSi結晶
- 5 ... 形成されたSi結晶
- 6 ... 粒界
- 7 ... Sn薄膜

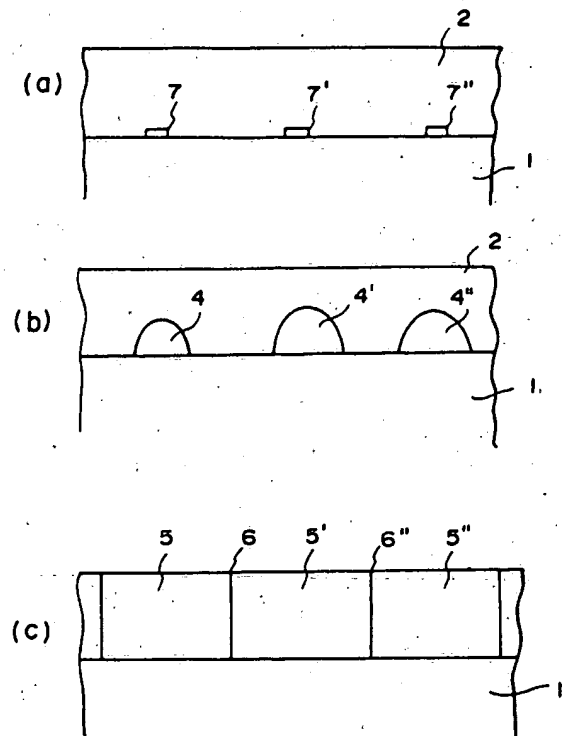
代理人 弁理士 山下 稔平

図面の符号(内容に資なし)

第1図



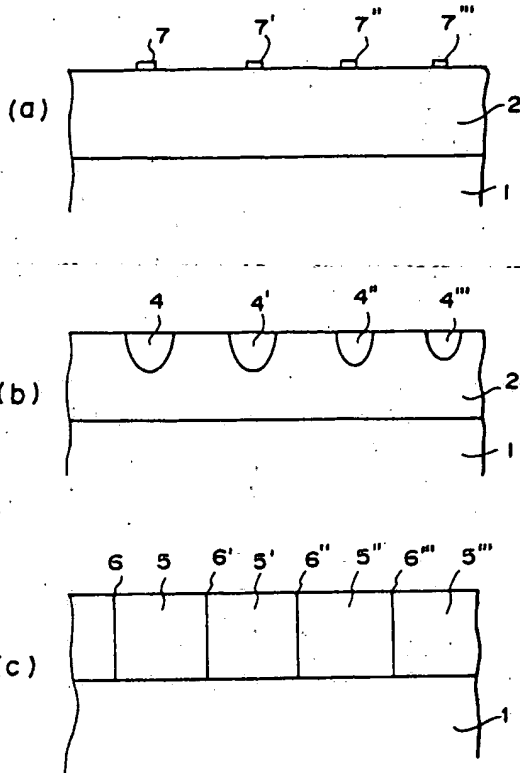
第2図



手続補正審

平成 1年 5月12日

特許庁長官 吉田 文 毅 殿



手続補正審

平成 2年 4月 6日

特許庁長官 吉田 文 毅 殿

1. 事件の表示

特願平 1-81697号

2. 発明の名称

結晶性半導体膜及びその形成方法

3. 補正をする者

事件との関係 特許出願人

名 称 (100) キヤノン株式会社

4. 代 理 人 〒105 東京都港区虎ノ門五丁目13番1号虎ノ門40森ビル

氏名 (6538) 弁理士 山下 稔 平

5. 補正の対象

明細書の発明の詳細な説明の欄

方 式
審 査

関



1. 事件の表示

特願平 1-81697号

2. 発明の名称

結晶性半導体膜及びその形成方法

3. 補正をする者

事件との関係 特許出願人

名 称 (100) キヤノン株式会社

4. 代 理 人

住所 東京都港区虎ノ門五丁目13番1号虎ノ門40森ビル

氏名 (6538) 弁理士 山下 稔 平

5. 補正の対象

明細書及び図面

6. 補正の内容

明細書及び図面の浄書を別紙の通り補正する。

(内容に変更なし)



6. 補正の内容

(1) 明細書第2頁13行の「単結晶構造をとる。」を「単結晶構造をとることもある。」に訂正する。

(2) 同頁第6頁2行と3行の間に「半導体膜の膜厚としては形成するデバイス等により設定すればよい。TFTを形成する場合には500Å以上2000Å以下の厚さがあればよい。半導体デバイスとして用いるには一般に1000Å程度の膜厚が望ましい。」を加入する。

(3) 同頁第6頁4～5行の「好ましい。」の次に「添加領域の大きさとしては、その最大径が好ましくは2μm以下より好ましくは1μm以下が望ましい。」

(4) 同頁第6頁14行と15行の間に「熱処理温度の下限としては500℃以上が望ましい。下地材料にガラスを用いる場合にはその変形を防ぐため熱処理の温度の上限は600℃以下とすることが望ましい。」を加入する。

(5) 同頁第7頁11行の「中間に」を「ほぼ中

間に」に訂正する。

(6) 同頁第7頁16行の「SiO₂」を「非晶質 SiO₂」に訂正する。

(7) 同頁第7頁17～18行の「堆積する。」を「堆積した。」に訂正する。

(8) 同頁第7頁20行の「変質させる。」を「変質させた。」に訂正する。

(9) 同頁第8頁2行の「マスキレス」を「マスキレスの工程」に訂正する。

(10) 同頁第8頁2行の「マスキレス」を「マスキレスの工程」に訂正する。

(11) 同頁第8頁5行の「注入し」を「2 μm四方の大きさに注入し」に訂正する。

(12) 同頁第8頁5行の「注入部」を「注入部(添加領域)」に訂正する。

(13) 同頁第8頁18～19行の「レジストをマスクに用いてSnを一边が1 μmの正方形、」を「一边が1 μmの正方形の開口を有するレジストをマスクに用いてSnを」に訂正する。

(14) 同頁第8頁20行の「30 μm間隔1×

10¹⁴cm⁻²、50 keV」を「30 μm間隔で、ドーズ量1×10¹⁴cm⁻²、加速エネルギー50 keV」に訂正する。

(15) 同頁第9頁2行の「N₂中」を「N₂雰囲気中」に訂正する。

(16) 同頁第9頁9行の「SiO₂」を「非晶質 SiO₂」に訂正する。

(17) 同頁第9頁15行の「N₂中」を「N₂雰囲気中」に訂正する。

(18) 同頁第10頁1行の「Sn」を「Sn層」に訂正する。

(19) 同頁第10頁8行の「70 keV」を「加速エネルギー70 keV」に訂正する。

(20) 同頁第10頁8行の「Si」を「Si層」に訂正する。

(21) 同頁第10頁9行の「Si」を「Si層」に訂正する。

(22) 同頁第11頁4行の「回避することさえ」を「回避することが」に訂正する。

(23) 同頁第11頁12行の「可能とする。」を

「可能となる。」に訂正する。

(24) 同頁第11頁18行の「≦1000 Å」を「例えば≦1000 Å」に訂正する。